

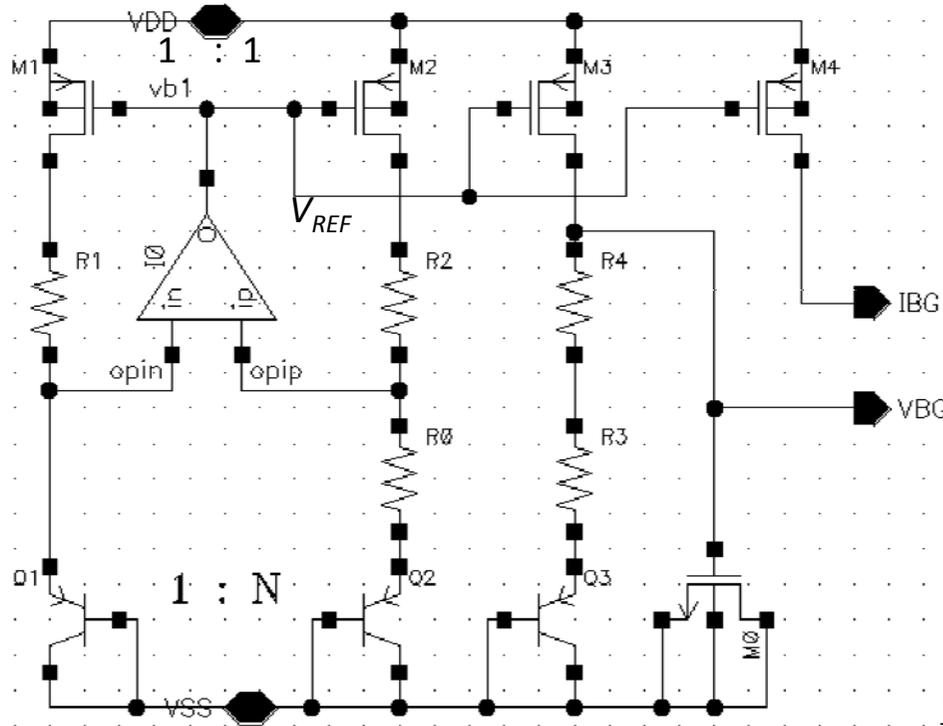
Bandgap & LDO

李福乐
2011年

Bandgap设计目标

- 提供稳定的电压基准
 - 具有一定的绝对精度 (例如 3%, 5%)
 - 温漂系数小 (例如20ppm)
- 尽可能大的电源电压范围
- 尽可能小的静态工作电流
- 尽可能大的PSRR
- 尽可能小的输出分布范围和Noise (Flick noise)
- 具有可靠的启动电路
- 尽可能小的面积

Bandgap 1



基本的bandgap电路结构,提供对温度不敏感的基准电压, 以及PTAT基准电流

工作原理:

$$\Delta V_{BE} = V_T \ln n$$

$$\frac{\partial \Delta V_{BE}}{\partial T} = \frac{k}{q} \ln n > 0$$

$$V_{REF} = V_{BE1} + \frac{\Delta V_{BE}}{R_0} \cdot R_2$$

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE1}}{\partial T} + \frac{R_2}{R_0} \cdot \frac{k}{q} \cdot \ln N = 0$$

考虑版图, N可取8

$R_3=R_0, R_4=R_2, M_3=M_2, Q_3=Q_2$, So $V_{BG}=V_{REF}$

运放的失调必须控制好

具体设计请参考sansen教材第16章

基准电压与电流

$$V_{REF} = V_{BE1} + \frac{\Delta V_{BE}}{R_0} \cdot R_2$$

$$V_{REF} = V_{BE1} + \frac{kT}{q} \cdot \ln N \cdot \frac{R_2}{R_0}$$

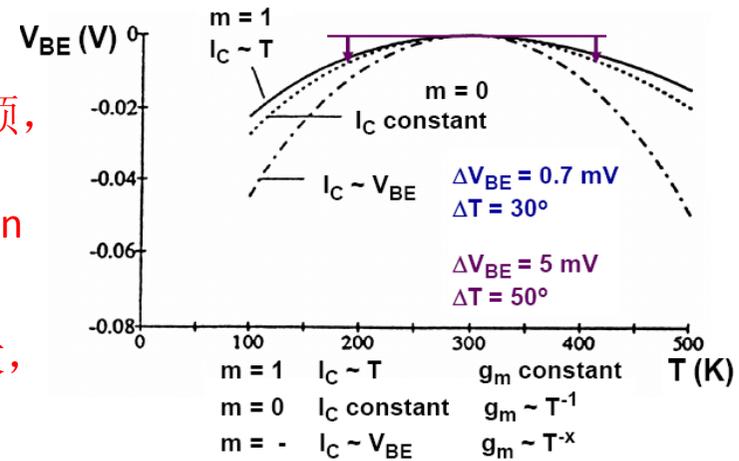
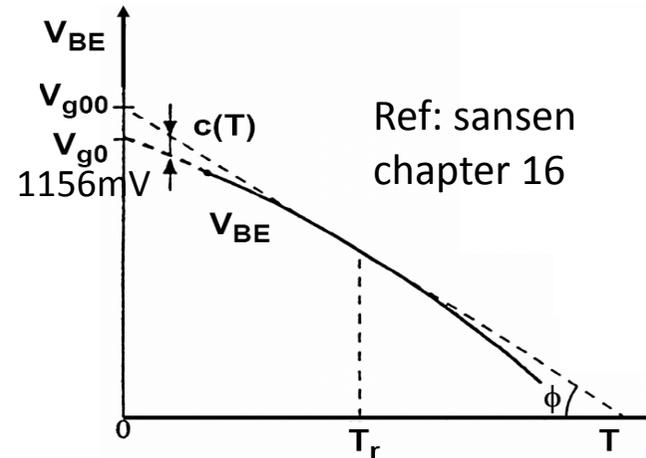
$$V_{BE} = V_{g00} - \lambda T + C(T) \quad \text{For } I_{DS} \sim T^m$$

$$I_{BG} = \frac{kT \cdot \ln N}{qR_0} \quad \text{Is PTAT}$$

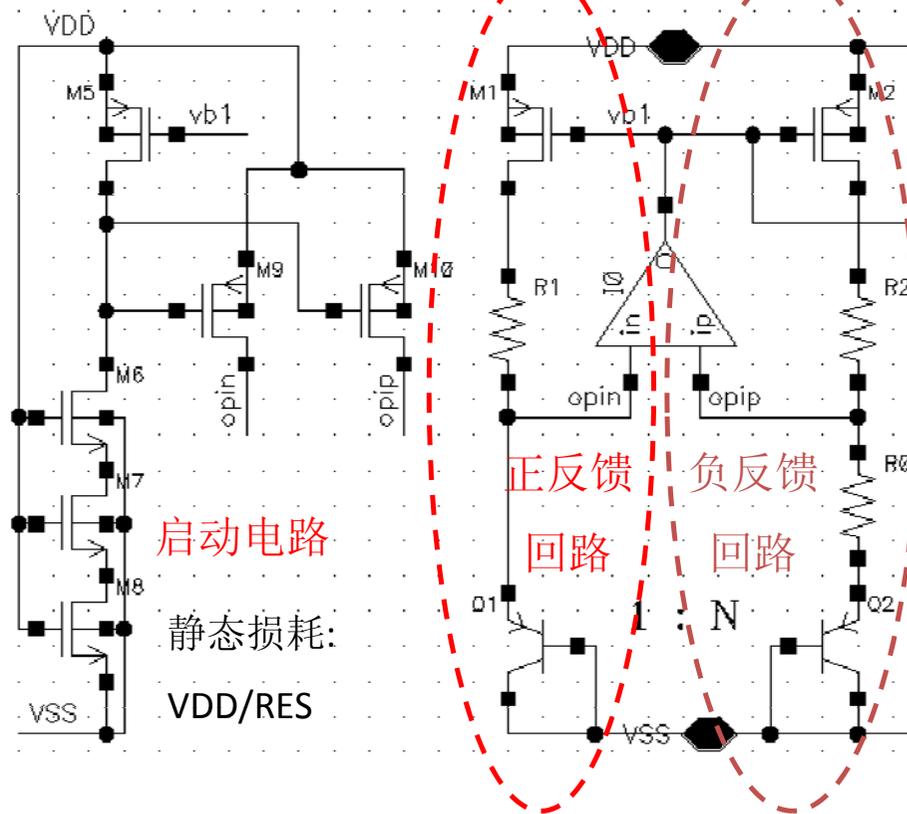
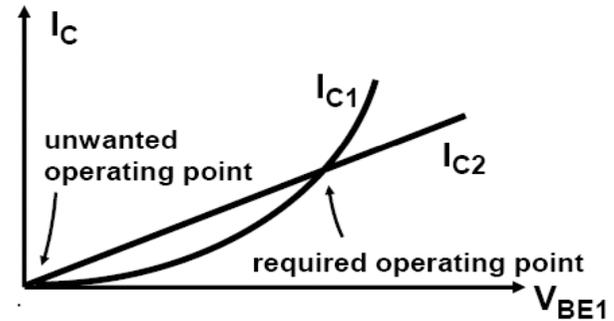
VBG通常在1.2左右

VBG的温度特性包含抛物线型非线性项，设计中令顶点位于常温附近，更高精度要求可采用二次补偿电路（例sansen ppt 1626）

IBG~T，在高温与低温下其值变换较大，若用它直接去偏置其他电路，这一点须特别注意



启动与稳定性



启动电路

静态损耗:

VDD/RES

正反馈回路
负反馈回路

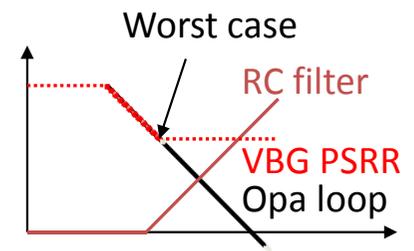
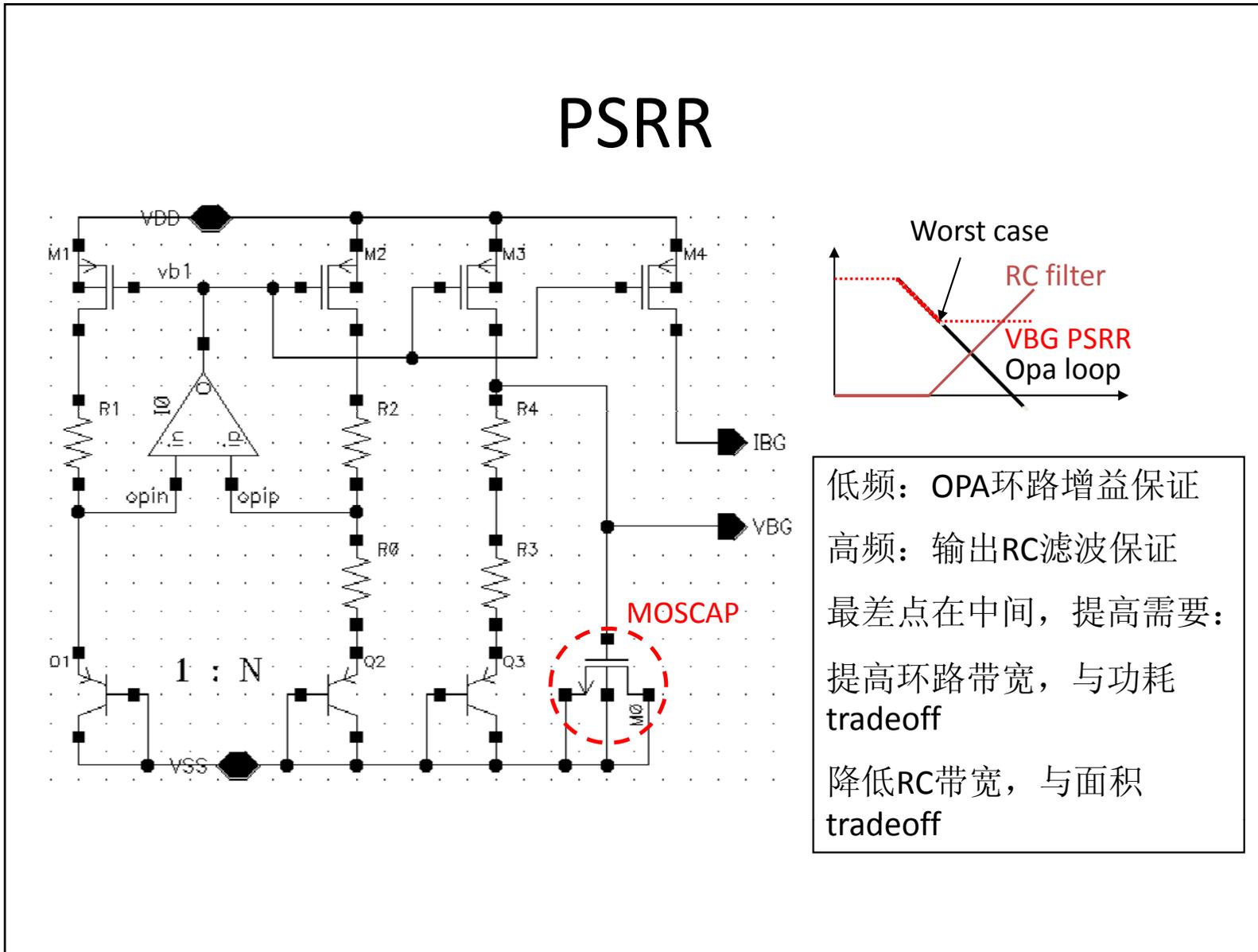
启动：这个电路有两个稳定工作点，其中一个是两个支路电流都为0，设计中需加启动电路来避免这个工作点；

稳定：正、负反馈环路共存，运放输入端需正确连接，保证负反馈强于正反馈

启动电路中的M9要大于M10，使进入正反馈回路的刺激大一些

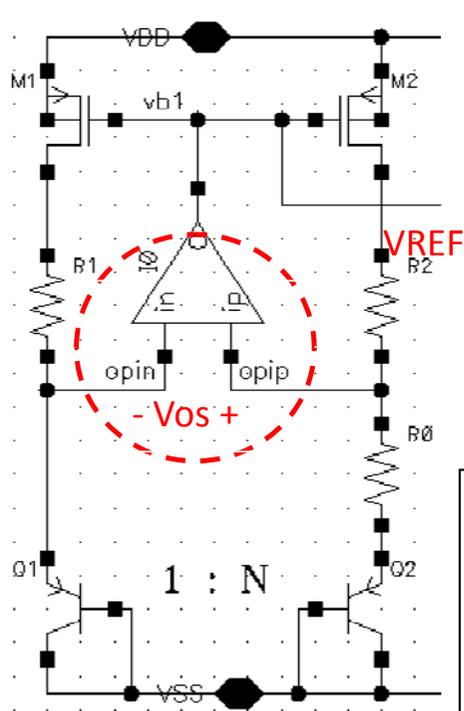
M6~M8作为MOS RES，其值应保证正常工作后M9, M10关闭

PSRR



低频：OPA环路增益保证
 高频：输出RC滤波保证
 最差点在中间，提高需要：
 提高环路带宽，与功耗
 tradeoff
 降低RC带宽，与面积
 tradeoff

电压离散性与噪声



抑制1/f噪声还可采用chopping技术

$$\Delta V_{REF} \approx V_{os} \cdot \frac{R_2 + R_0}{R_0}$$

$$\sigma(V_{REF}) \approx \sigma(V_{os}) \cdot \left(1 + \frac{R_2}{R_0}\right)$$

例：由 $\frac{kT}{q} \cdot \ln N \cdot \frac{R_2}{R_0} \sim 2mV/^\circ C$

推得： $\sigma(V_{REF}) \approx \sigma(V_{os}) \cdot 10$

$$\sigma_{V_T} \approx \frac{A_{VT}}{\sqrt{WL}}$$

输出离散性：运放失调的控制很重要！

噪声：

*. 热噪声可由输出滤波电容来控制；

*. 1/f噪声：与Vos一样会被放大，且很难被滤波，因此要特别注意电路中的NMOS；运放输入管应用PMOS，与失调要求一样，要增加W, L

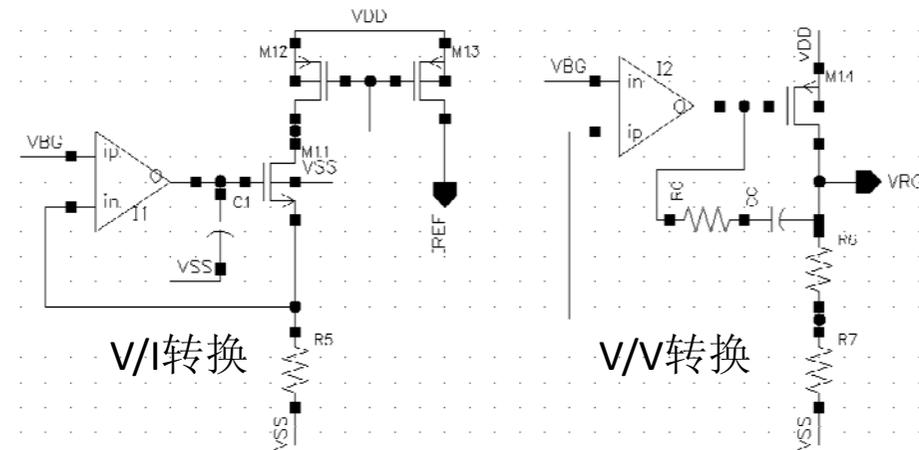
局限性与解决办法

- 输出基准电压固定为1.2V左右, 不够灵活
- 输出基准电流为PTAT, 在全温度范围内变化很大
- 电源电压的限制
 - 最低工作电压 $>1.2+V_{dsat}$

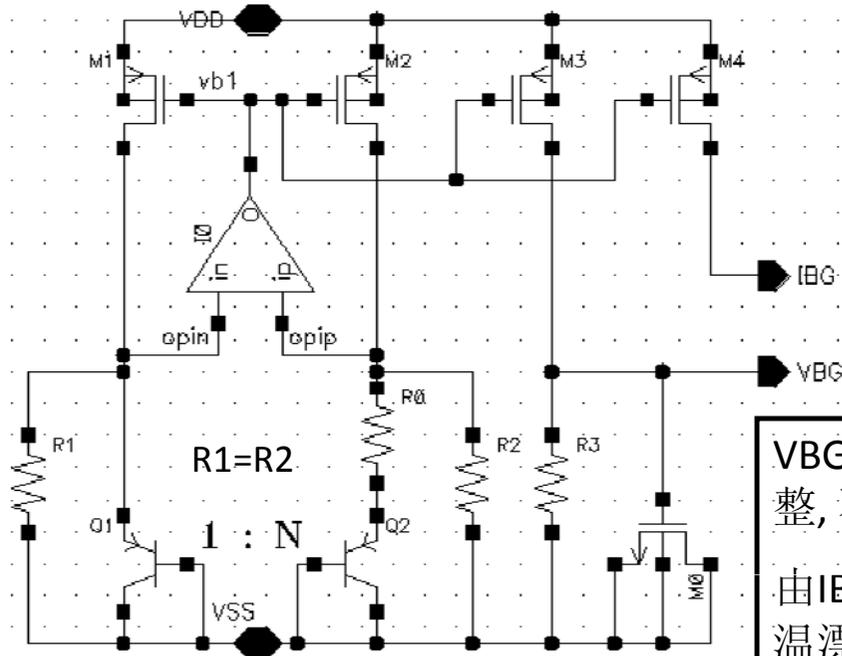
Solution:

*. 通过V/V, V/I转换电路来解决前两个问题, 代价是电路复杂性和功耗

*. 或采用下面的bandgap2, 解决上述各问题



Bandgap 2



$$V_{BG} = \frac{R_3}{R_2} \left(V_{BE} + \frac{R_2}{R_0} \cdot \frac{kT}{q} \cdot \ln N \right)$$

$$\frac{\partial V_{BG}}{\partial T} = 0$$

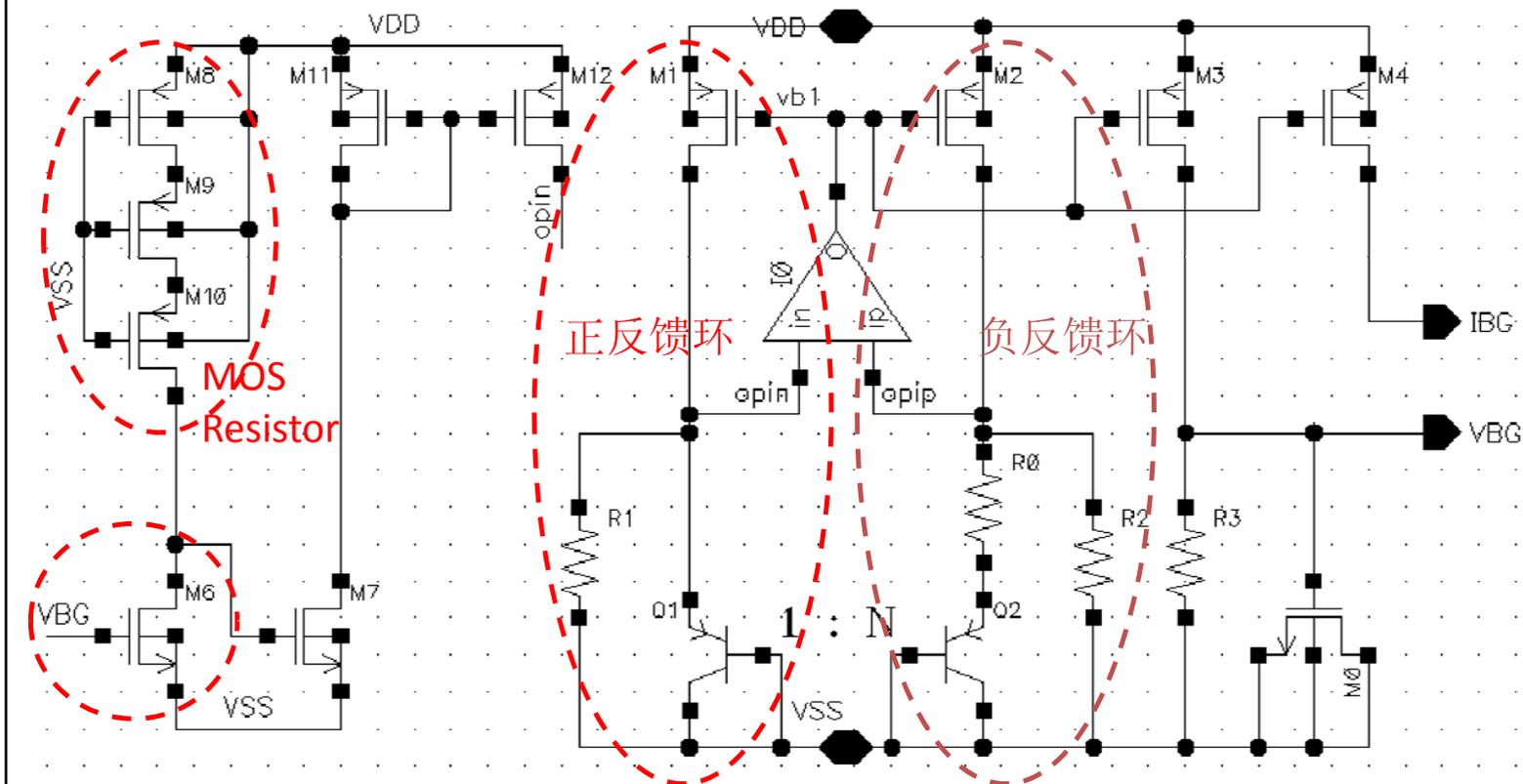
VBG的大小可通过R3/R2来灵活调整, 不影响温度系数

由 $IBG=VBG/R3$, 可知输出电流参考温漂较小, 主要取决于电阻温度系数

最低电源电压可 $<1V$

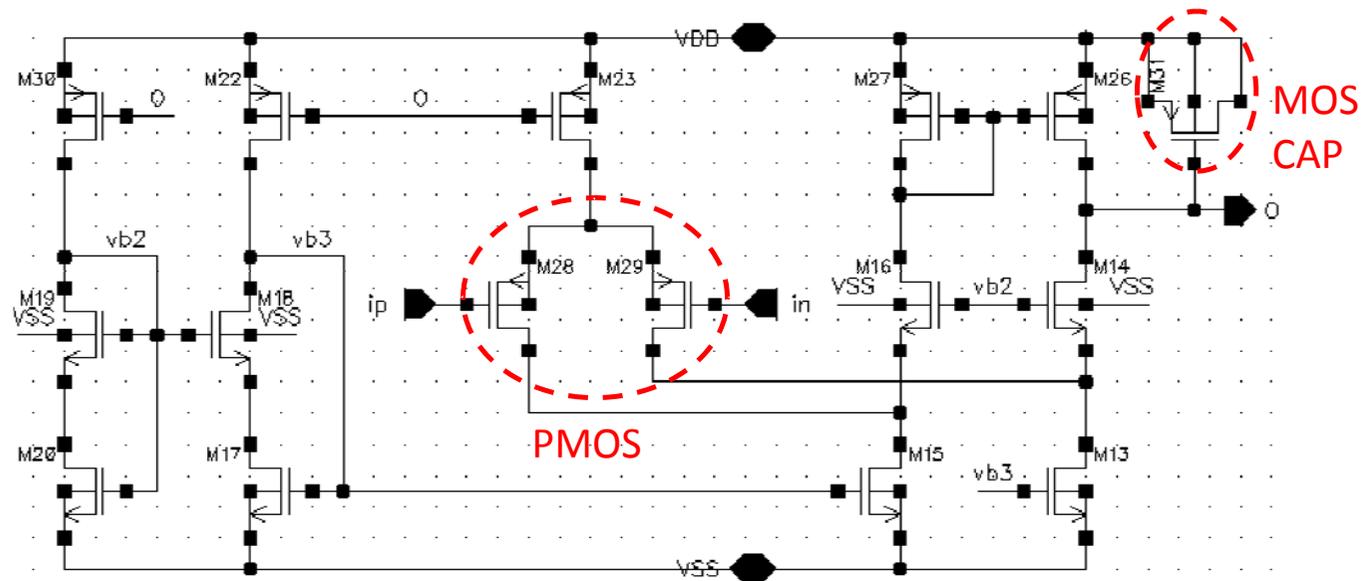
Ref.:
Malcovati, JSSC
July 01, 1076-1081

启动电路



正常输出下 $V_{BG} > V_{Tn}$, 否则应采用其他形式的启动电路

自偏置运放电路

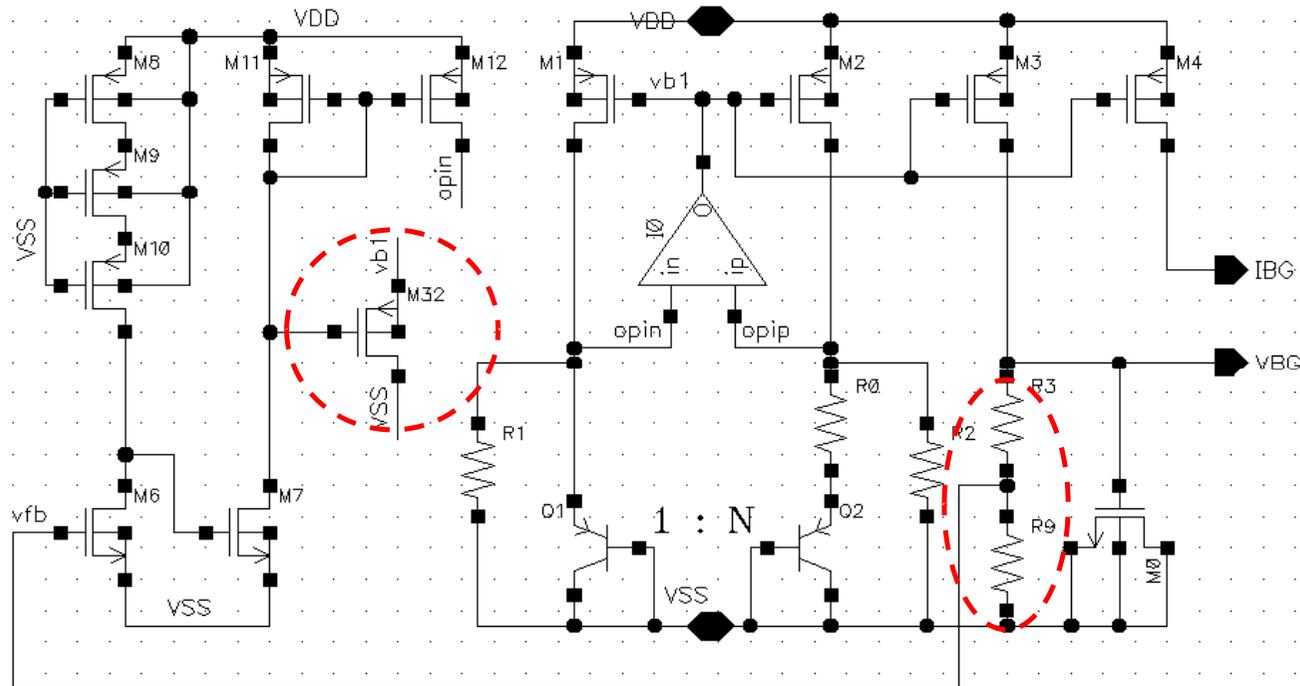


采用folded结构

采用PMOS输入差分对, 减少 $1/f$ 噪声, 并适合于低输入共模的情况

输入差分对 $V_{GS}-V_T$ 小, 其他电流镜 $V_{GS}-V_T$ 大, 晶体管的L要大一些, 减少失调, $1/f$ 噪声, 以及沟道调制效应

带自偏置运放的启动

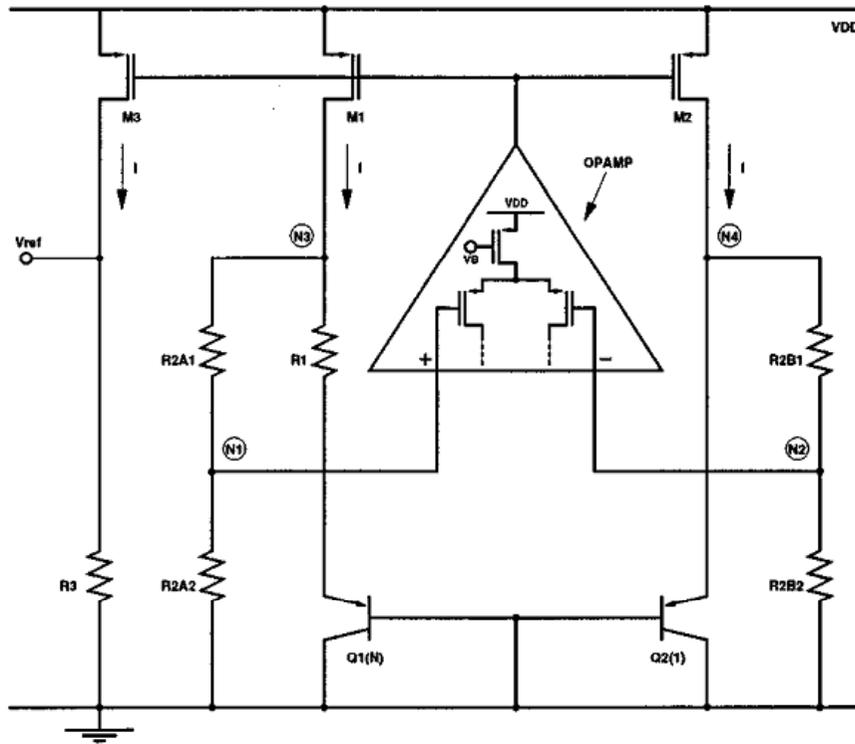


自偏置设计启动时，vb1若为高，则无法启动，故需增加拉低vb1的启动设计

若 $V_{BG} \gg V_{Tn}$ ，则需对V_{BG}进行分压后控制M6，否则电路有可能进入中间稳定点： $v_{fb} = k \cdot V_{BG}$ ， $v_{fb} > V_{Tn}$

在设计时要注意启动电路所带来的稳定性问题

低压设计

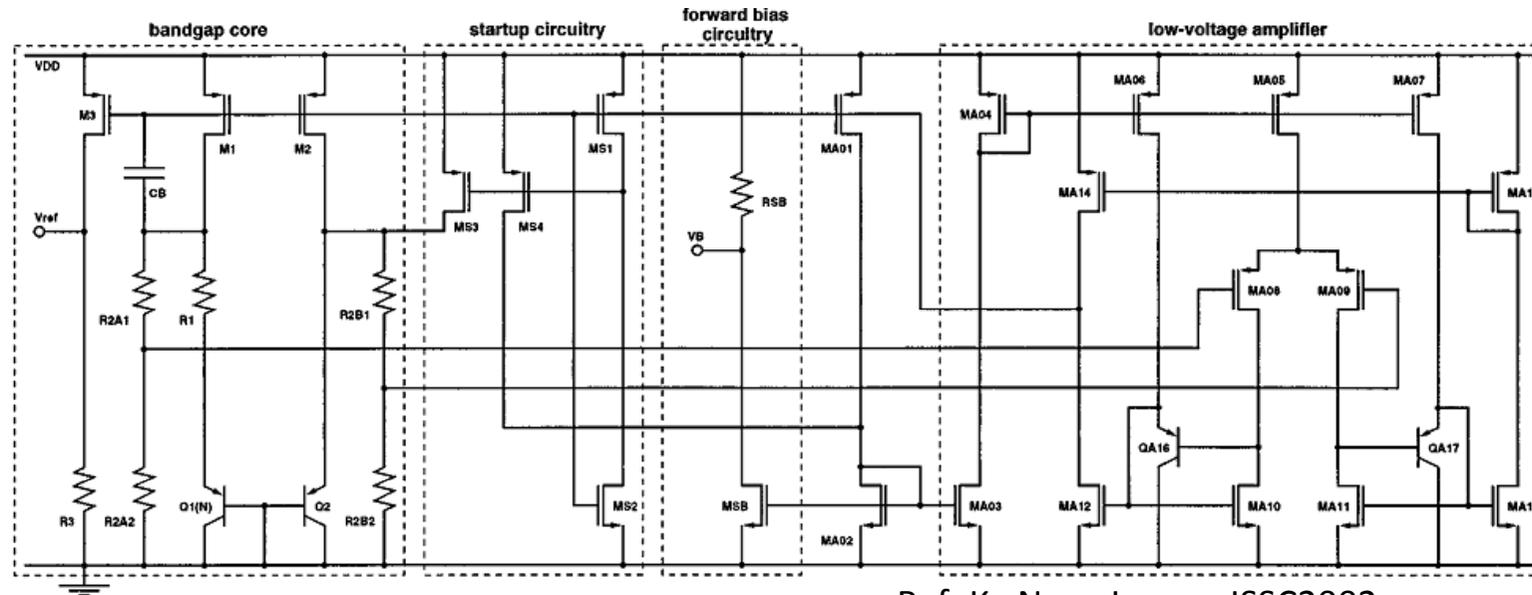


将R1, R2由两个电阻串联, 取中间点接运放输入, 可降低输入共模, 进一步降低电压电压要求

运放采用PMOS输入的folded-cascode结构或symmetrical结构

可进一步采用电路设计技术来降低运放对电源电压的要求

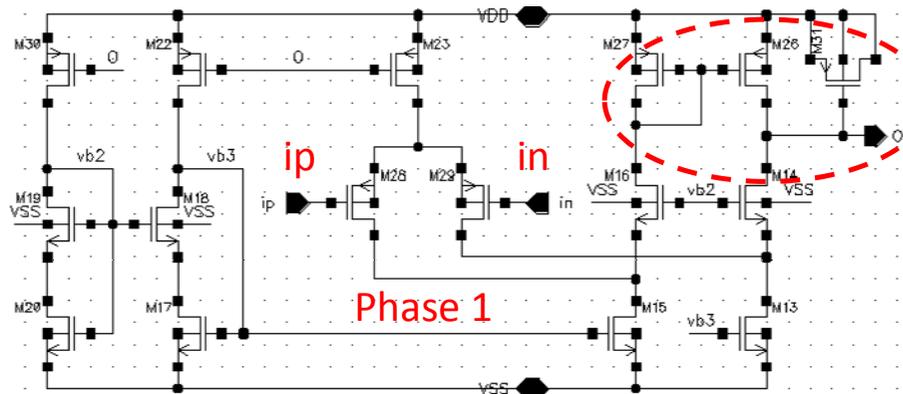
Sub-1V Bandgap Example



Ref: Ka Nang Leung, JSSC2002

采用symmetrical结构和电平移位(level shifting)来降低输入共模要求
 采用正偏置(forward bias)来降低PMOS V_T
 注意启动电路的设计（运放先启动）

Chopping & filtering



加chopping控制后:

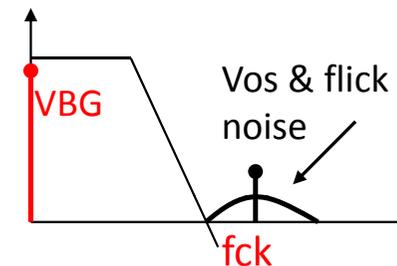
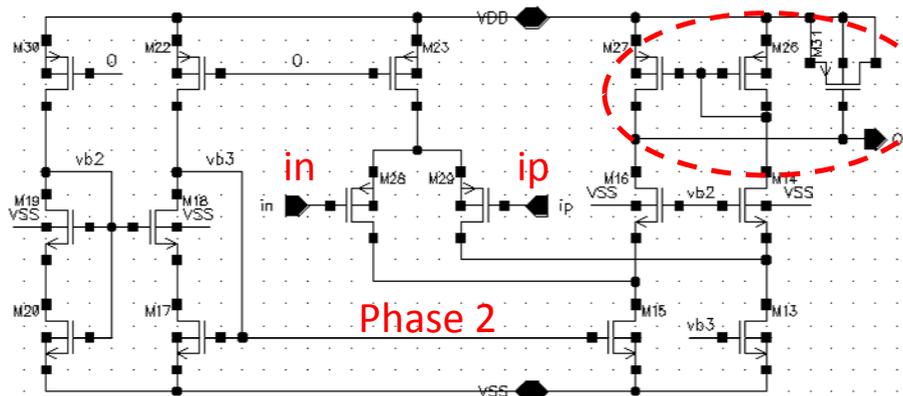
Phase 1: $VBG' = VBG + aVos$

Phase 2: $VBG' = VBG - aVos$

低通滤波后:

$avg(VBG') = VBG$

此方法对1/f噪声也有效



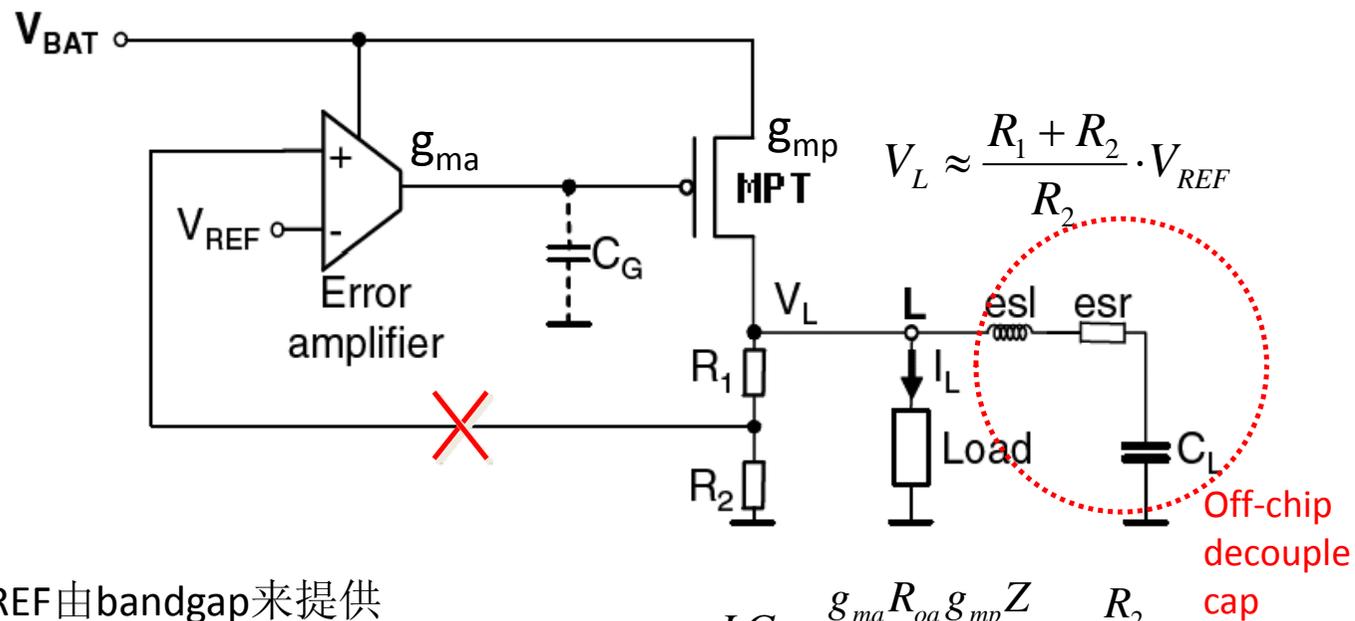
版图设计

- PNP之间, 电阻之间, 电流镜**MOST**要严格按照匹配要求来设计版图
- 运放的失调要特别注意控制, 这要求晶体管的**WL**要比较大, 版图绘制时注意匹配
- 给其他模块提供电压基准时要注意与这些模块的共地
- 在**SOC**中, 要注意与noisy block的隔离
- 面积优化

LDO设计目标

- 提供稳定的电源电压
 - 无论环境变化，输入变化，负载变化
 - TC, PSRR, Load Regulation, Transient Response
- 尽可能小的静态工作电流
- 尽可能小的输入输出Dropout
- 尽可能大的环路增益和带宽
- 在各种corner和负载条件下都必须稳定
- 具有过流、过热保护能力
- 减小对片外元件的要求，最好是不用片外元件

基本LDO电路



VREF由bandgap来提供

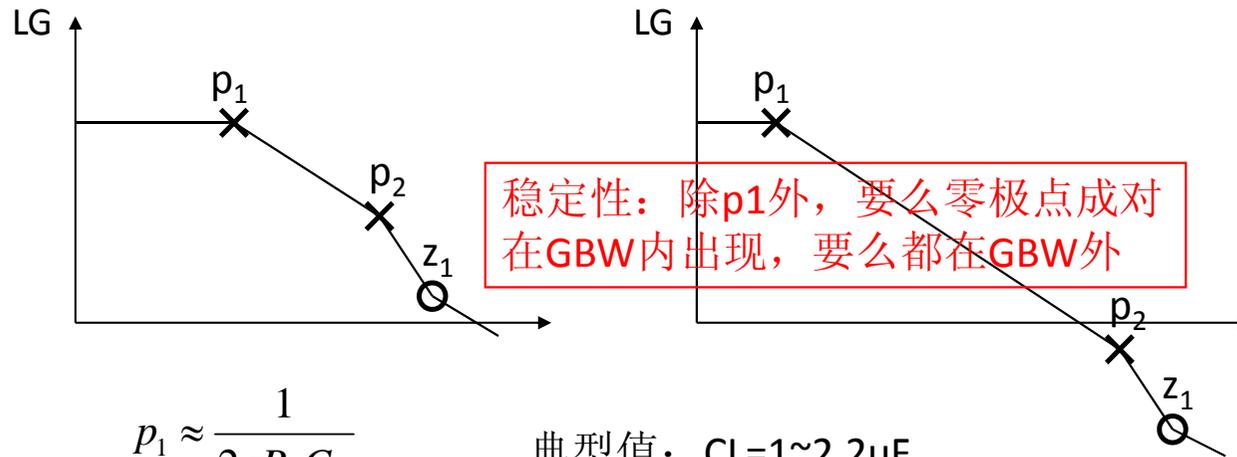
开环为无miller反馈电容的两级运放

环路增益LG为:

$$LG = \frac{g_{ma} R_{oa} g_{mp} Z}{1 + s R_{oa} C_G} \cdot \frac{R_2}{R_1 + R_2}$$

$$Z \approx \frac{1 + s R_{esr} C_L}{1 + s R_L C_L}$$

AC特性



$$p_1 \approx \frac{1}{2\pi R_L C_L}$$

$$p_2 \approx \frac{1}{2\pi R_{oa} C_G}$$

$$z_1 \approx \frac{1}{2\pi R_{esr} C_L}$$

典型值: $C_L=1\sim 2.2\mu\text{F}$

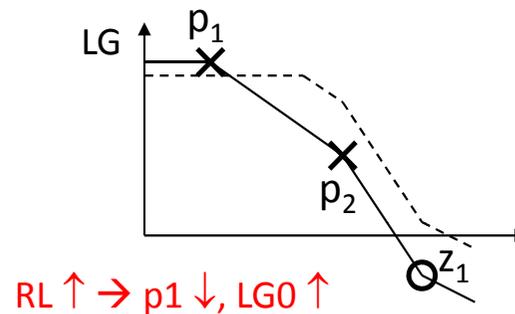
$R_{esr}=20\sim 200\text{m}\Omega$

$C_G \sim C_{ox} * (WL)_{\text{MPT}}$

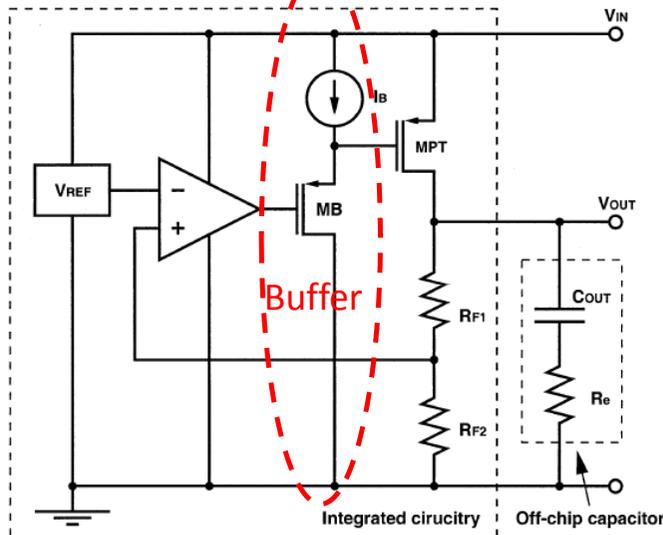
增大p2, 意味着减小Roa, 而第一级增益为 $g_{ma} * R_{oa}$, 为维持增益将使得error amplifier的静态功耗增大

基本LDO的局限性

- 由于Error amplifier直接驱动MPT，其负载较大，对应的静态功耗也较大
- Error amplifier的增益较小， p_2 与 z_1 的间距较大，这两者都导致GBW变小，瞬态响应速度变慢；
- 在负载RL变化时， p_1 相应变化，可能出现 p_2 在GBW内， z_1 在GBW外的情况，导致不稳定
- 解决办法：加buffer来降低error amplifier的负载



加中间级buffer的LDO

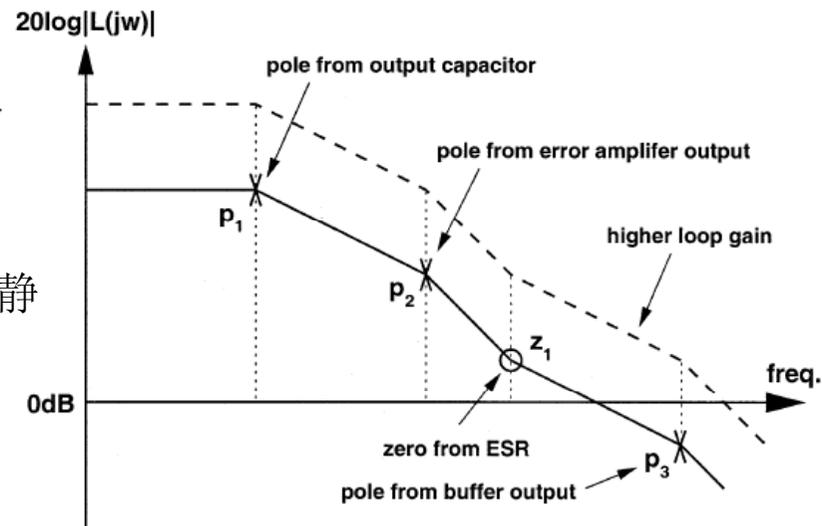


静态功耗

稳定性设计!

$$\text{Line Regulation} = \frac{\Delta V_{\text{OUT}}}{\Delta V_{\text{IN}}} \approx \frac{g_{mp} r_{op}}{L_o} + \frac{1}{\beta} \cdot \left(\frac{\Delta V_{\text{REF}}}{\Delta V_{\text{IN}}} \right)$$

$$\text{Load Regulation} = \frac{\Delta V_{\text{OUT}}}{\Delta I_{\text{OUT}}} = -\frac{r_{op}}{1 + L_o}$$

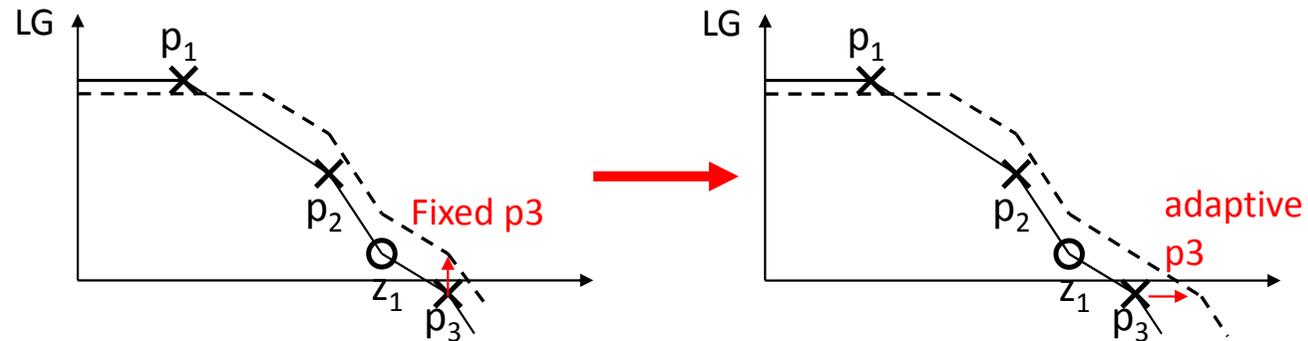


加buffer的好处:

1 减小err amp的负载电容, 降低其静态功耗, 更易使p2与z1接近

2 与MPT栅电容并联的是 $1/g_m$, not $1/g_{ds}$, 更容易实现高极点

加buffer LDO局限性



Problem: 引入了新的极点 p_3 ，且要求 $p_3 > \text{GBW}$

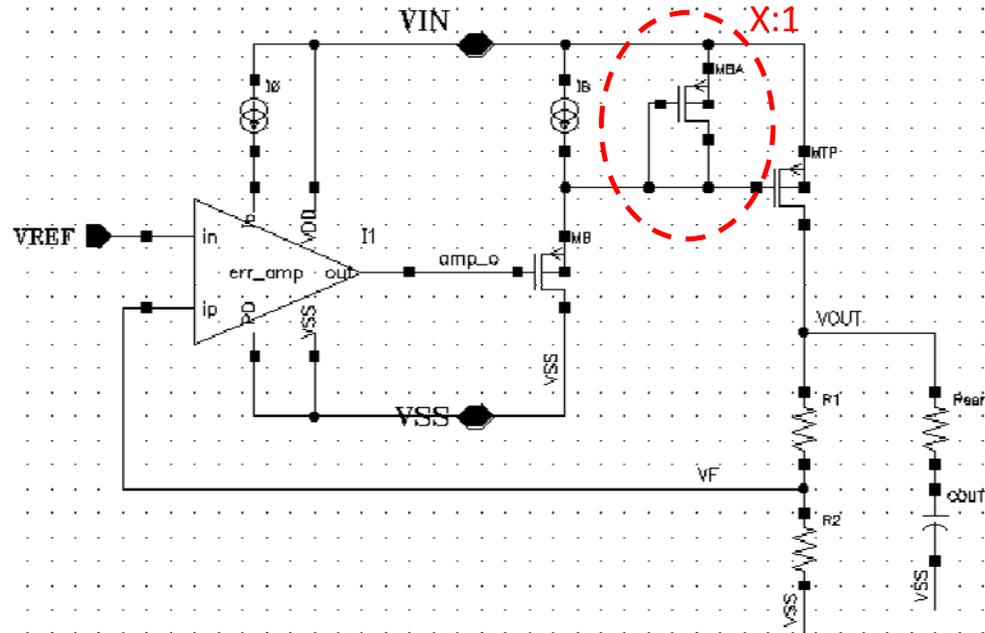
当 $R_L \downarrow \rightarrow p_1 \uparrow, \text{GBW} \uparrow \rightarrow \text{unstable}$. 因此 p_3 应足够大

即buffer级的静态电流要足够大，保证各种负载下的稳定性

这导致在小负载(R_L 大)情况下，效率较低；

Solution: adaptive bias for buffer

Adaptive bias for buffer

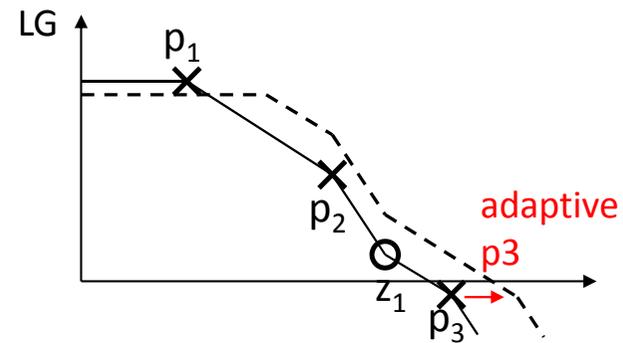


Buffer bias: $I_{MB} = I_B + I_{MBA} = I_B + X \cdot I_{MTP}$ $I_B = ?$ $X = ?$

$R_L \downarrow \rightarrow I_{MTP} \uparrow \rightarrow I_{MB} \uparrow \rightarrow p3 \uparrow \rightarrow \text{stable}$

$R_L \uparrow \rightarrow I_{MTP} \downarrow \rightarrow I_{MB} \downarrow \rightarrow \text{keep high efficiency at low load}$

片外解藕电容



$$z_1 \approx \frac{1}{2\pi R_{esr} C_L}$$

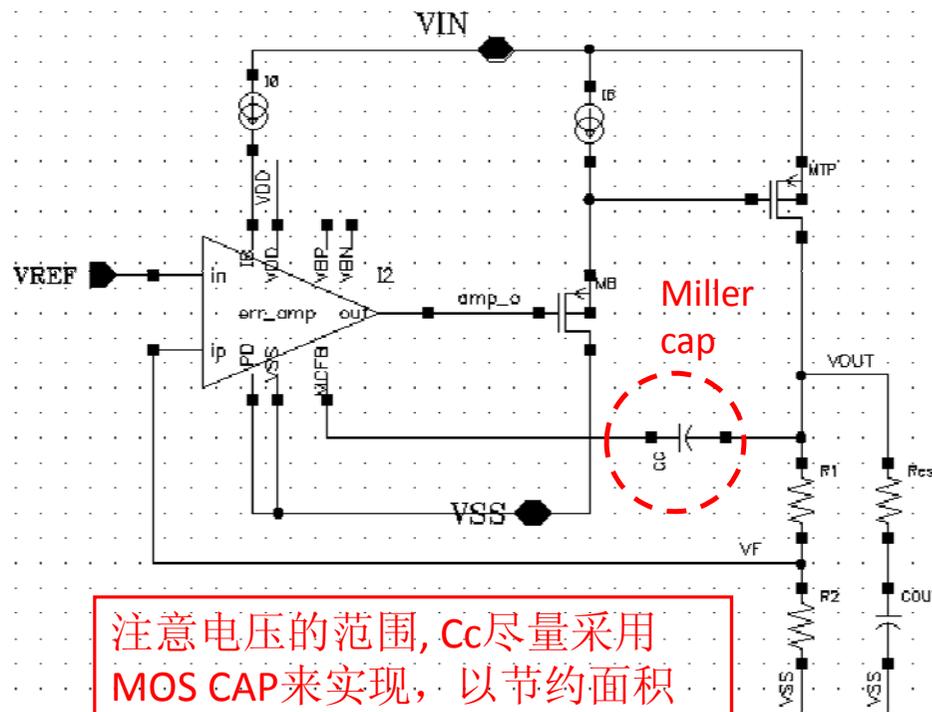
局限性：对片外电容的ESR有要求，若电容类型选择不当，可能导致不稳定！

Solution:

选择合适的片外解藕电容

或者，改进设计，如后面所示

带miller补偿的LDO



注意电压的范围, C_c 尽量采用 MOS CAP 来实现, 以节约面积或兼容逻辑工艺;

M T P 须工作在饱和区, 以保证 g_m , 保证稳定性

结构: 带有miller电容补偿的两级放大器

Err_amp采用folded cascode结构, 通过其cascode管减弱 C_c 的前馈

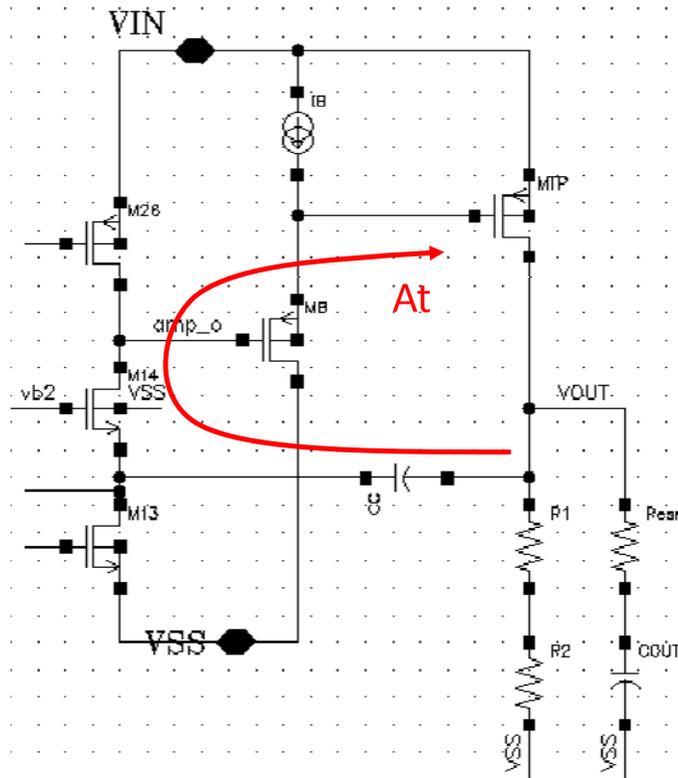
$$GBW = g_{m1}/C_c$$

$$P_2 = g_{m2}/C_{OUT}?$$

Problem:

C_{OUT} 很大, PM?

稳定性



假设从VOUT到晶体管MTP的G的增益为At, 则:

$$P2 \sim = At * gm2 / COUT$$

$At \sim = Cc / Cn$, Cn为amp_o点寄生电容

注意到p2被推高了At倍, 这就是这种结构的一个优点, 对于低速电路很有用;

稳定性:

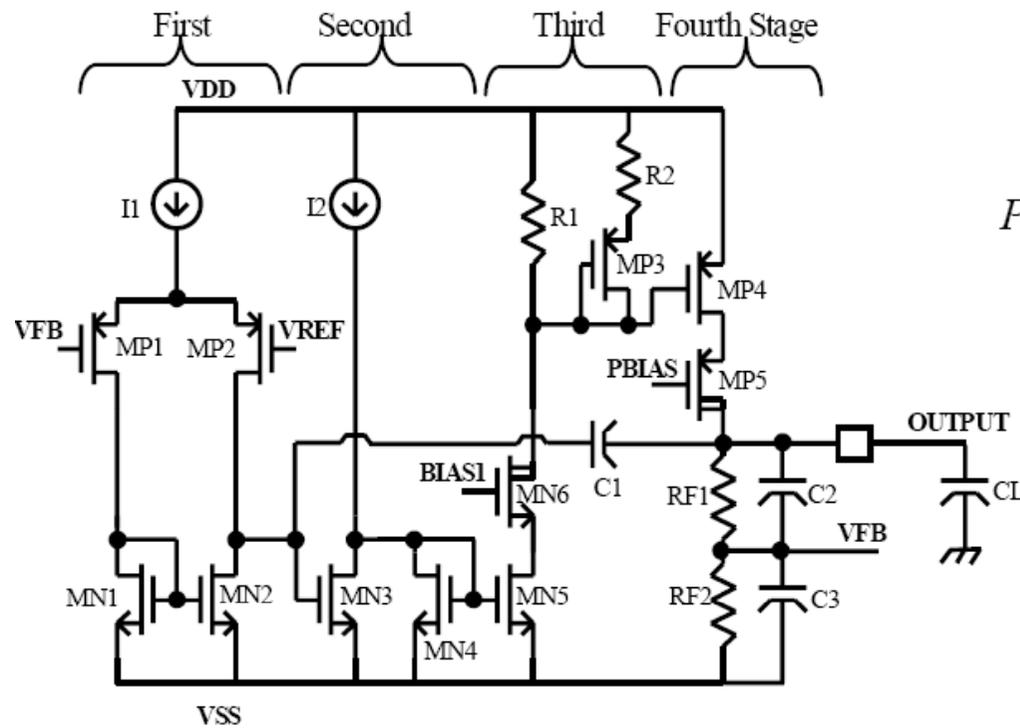
在IL足够小时, p1在VOUT处

在IL足够大时, miller补偿起作用, p1在amp_o处, p2=?

当IL在两者之间时, PM=worst case?

稳定性不依靠片外电容ESR; 注意控制BW;

P2 boosting example



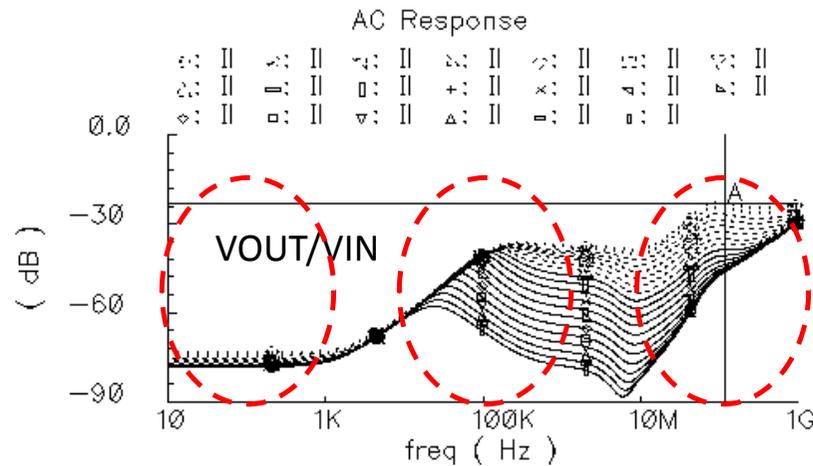
$$P_2 \approx \frac{gm_2''}{CL} \approx \frac{A_2 \cdot A_3 \cdot gm_4}{CL}$$

通过miller补偿和
miller boosting效应,
来推高p2, 保证LDO的
稳定性

Fig. 2. Simplified architecture of the LDO.

Ref: Kae Wong: A 150mA Low Noise, High PSRR Low-Dropout Linear Regulator in 0.13um Technology for RF SoC Applications

PSRR?



片外大解藕电容+片内小解藕电容
使得高PSRR在中高频段得以保持

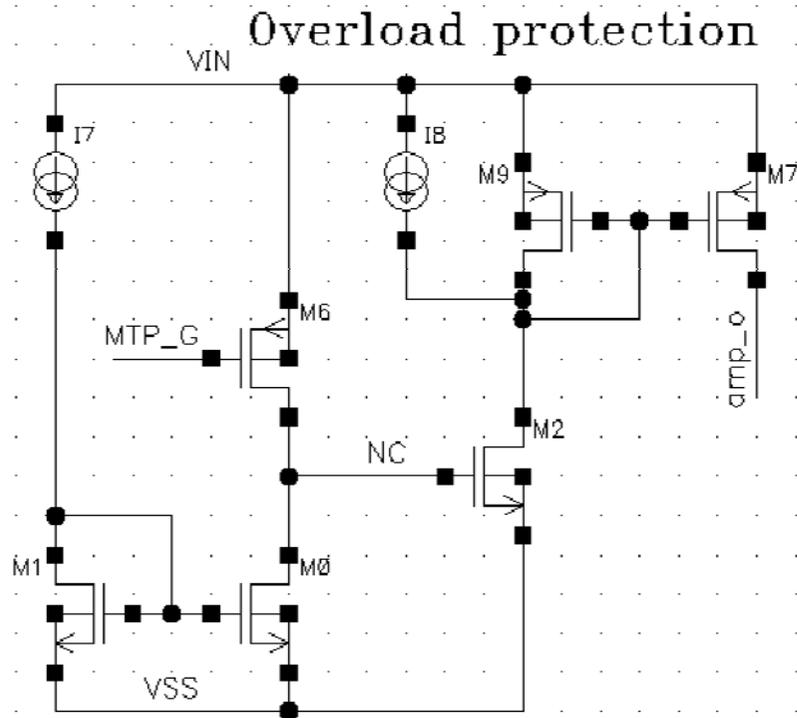
在低频处, 环路增益比较大,
对VIN上的干扰能有效抑制;

频率升高, 环路增益下降,
PSRR有下降的趋势;

由于片外解藕电容的作用,
在中间频率处, 仍可保持比较
高的PSRR;

在高频处, 环路反馈和片外电
容都不起作用, 此时依靠片内
解藕电容, 可保持高的PSRR;

过载保护



一个过载保护电路的例子
(适合MTP一直饱和区工作的情况)

功能：当负载很大时，限制输出电流，以保护电路；

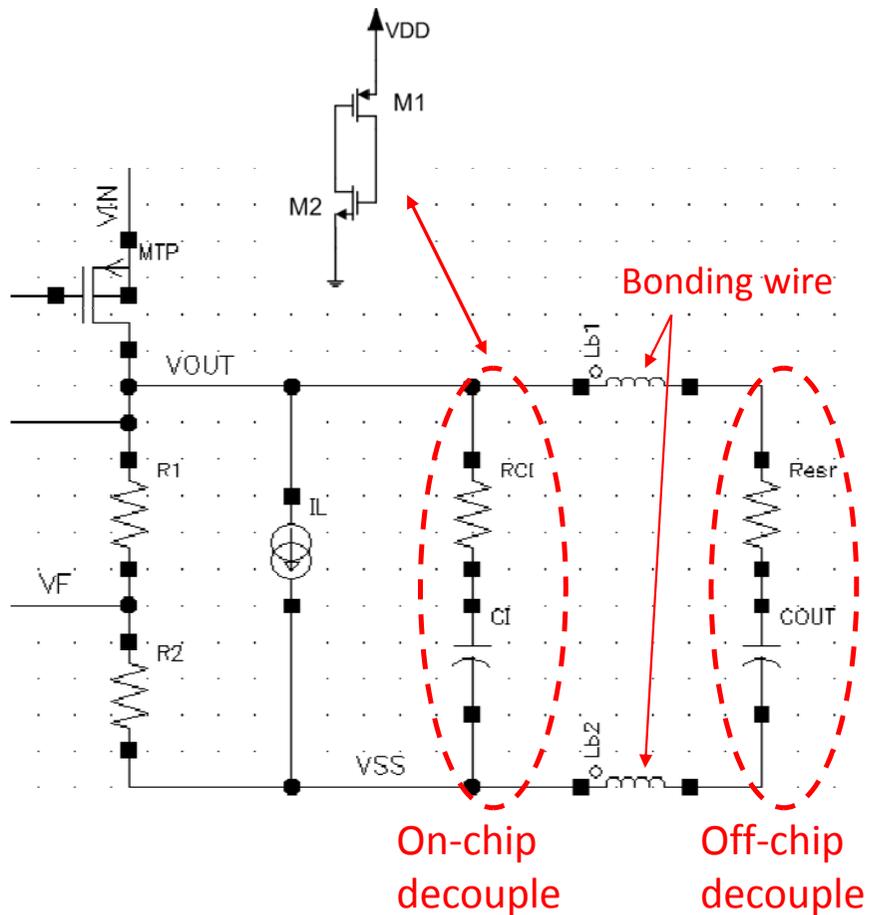
过载阈值应大于最大工作电流；

原理，以右图为例：

M6与MTP构成电流镜，以检测输出电流

IDS6与设定的IDS0进行比较，结果决定NC点的电压，正常情况下， $IDS6 < IDS0$ ，NC点低，M7 G端高，M7 cutoff；在过载情况下， $IDS6 > IDS0$ ，NC高，M7_G低，M7导通将amp_o拉高，进而限制通过MTP的电流，即用比较结果实现反馈控制

片内解藕电容



Bonding Wire使得片内高频扰动难以被片外电容滤除

一般要在片内加解藕电容

为防止出现LC震荡, 片内电容上要串联damping电阻

片内解藕RC支路是否会改变LDO稳定性?

$R1, R2 \gg R_{CI} > R_{esr}$

$C_{OUT} \gg C_I$

如: $R1, R2: x0k, R_{CI}: 10, R_{esr}: 0.1$

$C_I: 1nF, C_{OUT}: 1\mu F$

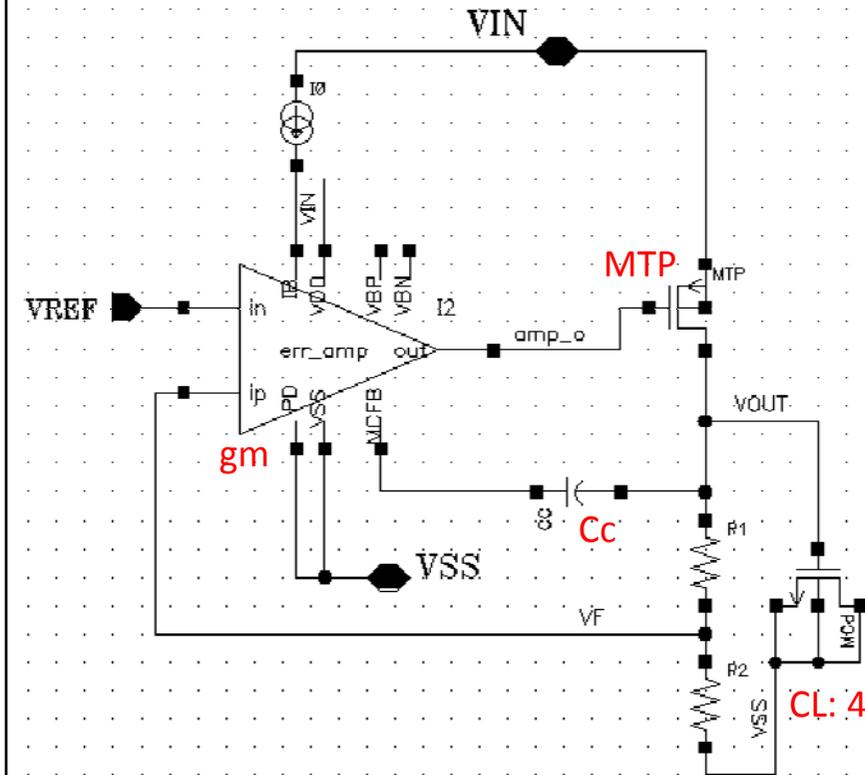
$$Z_o \approx \left(R_{CI} + \frac{1}{sC_I} \right) // \left(R_{esr} + \frac{1}{sC_{OUT}} \right)$$

$$Z_o \approx \left(R_{esr} + \frac{1}{sC_{OUT}} \right)$$

全集成LDO?

- 片外解藕的问题
 - 增加了片外元件, 增加了PCB面积
 - 增加了芯片面积, 封装管脚数
 - 一些应用, 比如卡, 不允许加片外电容
- 无片外电容LDO的实现?
 - 片内解藕电容?
- 下面的例子仅供参考, 有兴趣的话可自己去调试, 也可参考多级放大器 (见sansen教材chapter 11) 的设计方法来设计全集成LDO

Miller补偿结构



采用miller补偿实现极点分离:

$$BW=(gm1/Cc)*R2/(R1+R2)$$

$$P2 \sim= (gm2/CL)*At$$

$At \sim= Cc/CG$, CG为MTP的栅电容

注意到片内解藕电容远小于 C_{OUT} ,
故有可能以较小的静态功耗实现稳定;

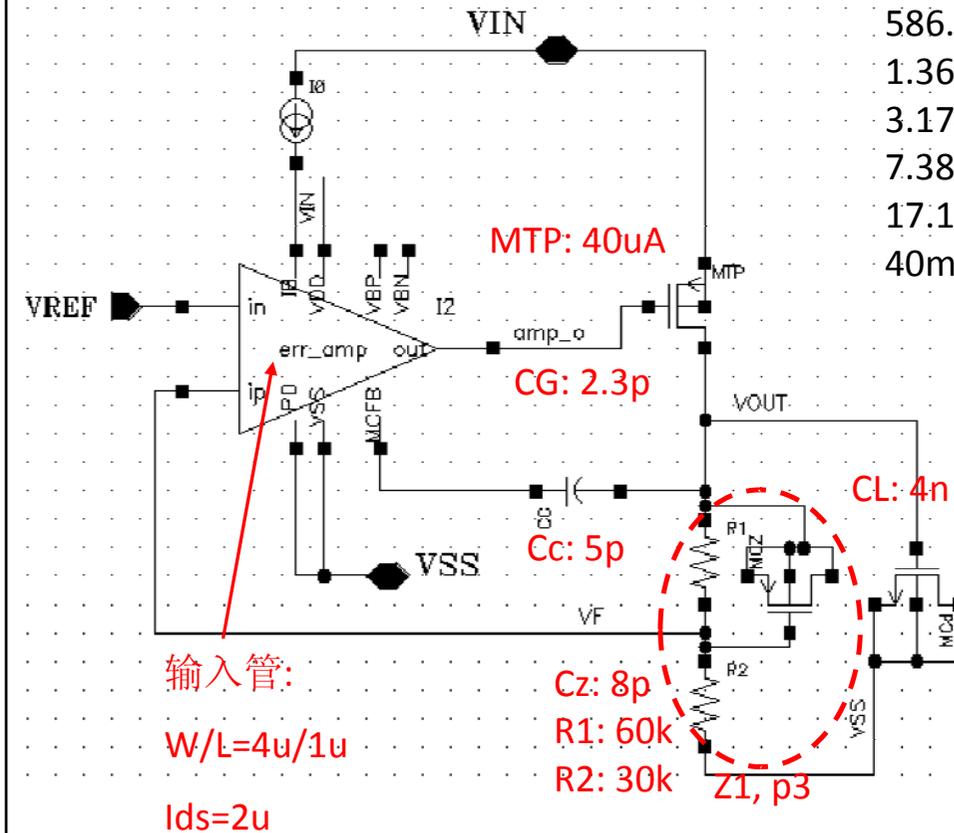
在负载较小时稳定性差;

Tradeoff:

带宽: 减小 Cc

稳定: 增大 Cc

零点补偿



Iload	PM(Deg)	@Freq(Hz)	GM(dB)
20u	47.707	114.25k	45.498
46.538u	57.556	138.56k	42.308
108.29u	71.03	169.97k	38.555
251.98u	84.902	197.87k	35.097
586.35u	95.417	213.49k	32.503
1.3644m	102.14	219.74k	30.737
3.1748m	106.14	221.67k	29.684
7.3875m	108.3	221.91k	29.259
17.19m	109.46	221.37k	29.264
40m	110.1	219.98k	29.573

增加与R1并联的电容Cz

反馈网络引入z1, p3

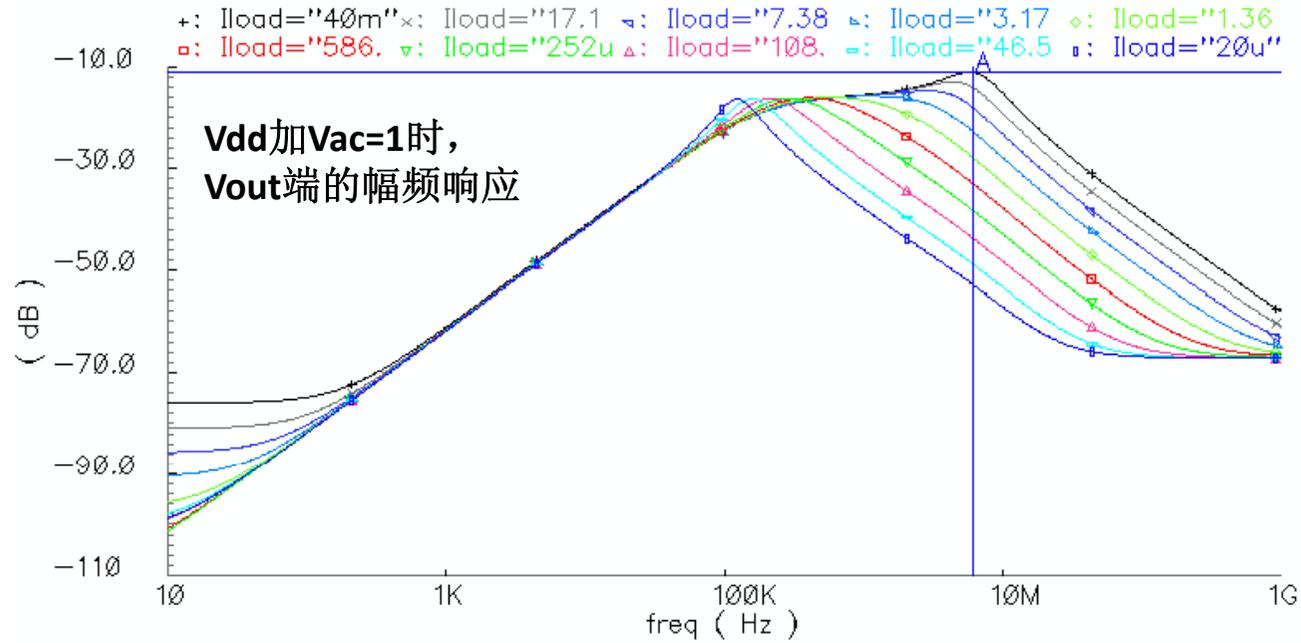
$$z1=1/(R1Cz)$$

$$p3=1/((R1//R2)Cz)$$

调整Cz, 使z1,p3接近BW,
可调整PM、GM

PSRR

AC Response



A: (6.16595M -11.0546)

PSRR与负载有关

IL=40mA, @6.2MHz

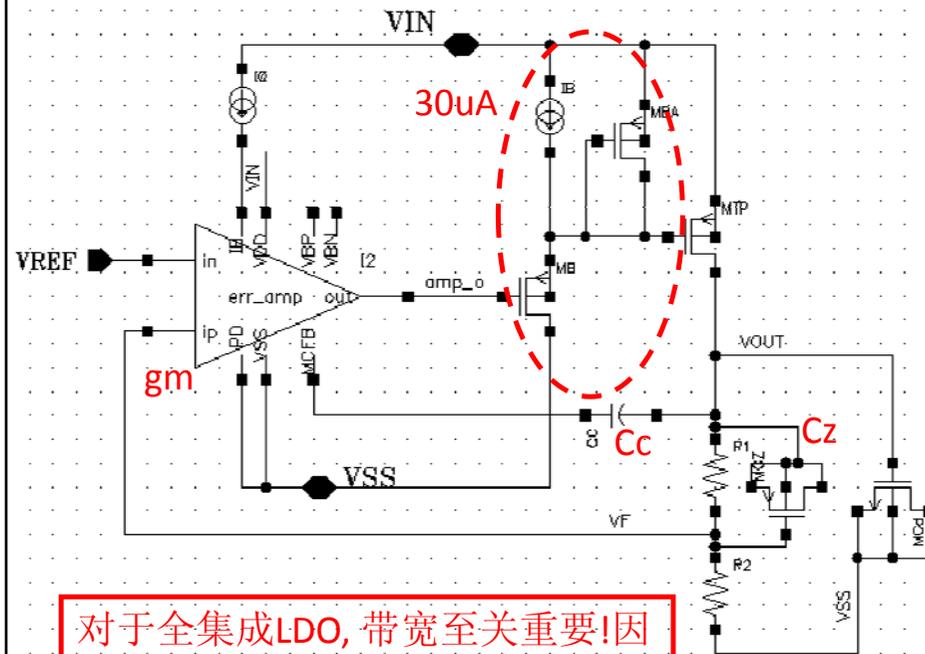
低频由环路增益决定

Worst case = 11.1dB

高频由负载电容决定

15.4dB @ 1MHz

带buffer结构



对于全集成LDO, 带宽至关重要! 因为此时无片外大解藕电容缓冲, 负载的变化需要环路自己迅速作出响应, 避免电压出现大的波形

P2 boosting:

$$P2 \sim (gm2/CL) * At$$

$At \sim Cc/CG$, CG为MTP的栅电容
造成Cc不能太小, 带宽较小!

若在MTP前加上buffer, 则:

$At \sim Cc/Cn$, Cn为amp_o点上的寄生电容, 其值远比CG小, 故At更大, P2更高, 因此可减小Cc, 增加带宽, 而保持稳定性

带宽增加, 则Cz相应地减小

带宽增加, 要注意cascode管和Cc组合的影响

全负载稳定性

Cc=1pF
Cz=0.5pF

lload	PM(Deg)	@Freq(Hz)	GM(dB)	@Freq(Hz)
20u	41.734	684.52k	30.712	4.8524M
46.538u	50.579	820.03k	28.77	5.6167M
108.29u	63.634	978.57k	25.939	6.6534M
251.98u	77.409	1.0867M	22.547	7.9586M
586.35u	86.826	1.1218M	19.14	9.5662M
1.3644m	91.687	1.1262M	16.603	11.768M
3.1748m	94.093	1.1242M	15.532	14.973M
7.3875m	95.429	1.1221M	15.58	19.402M
17.19m	96.291	1.1204M	16.003	25.194M
40m	96.849	1.1187M	16.54	32.327M

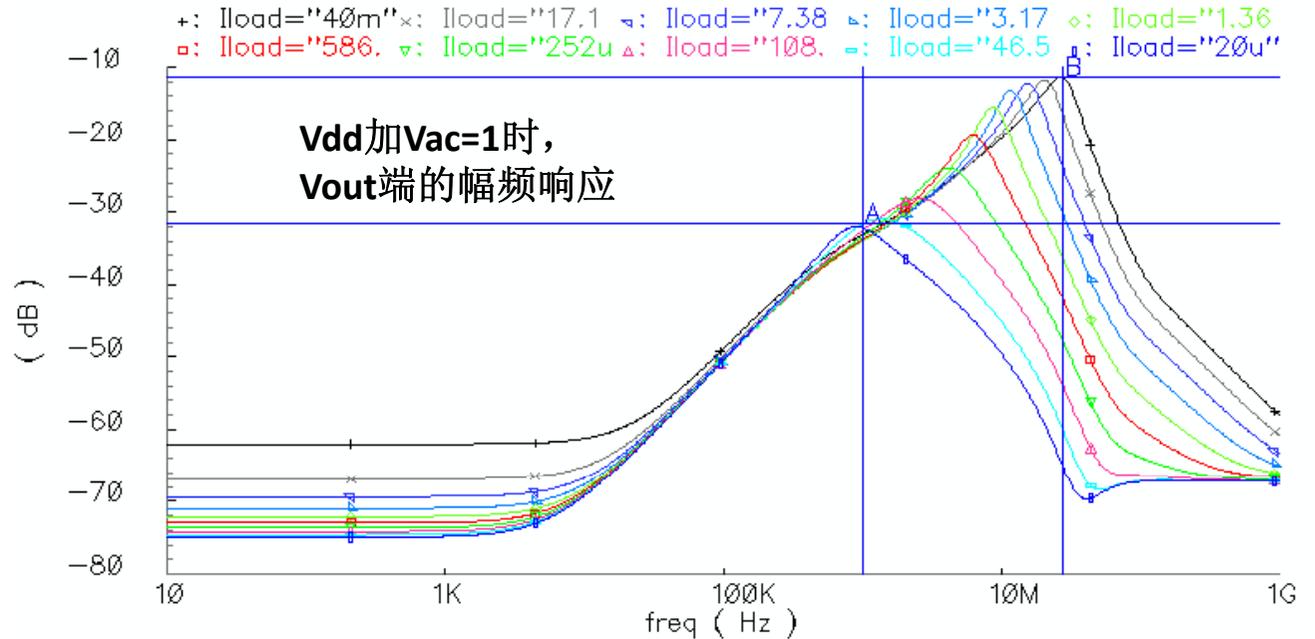
Cc=1pF
Cz=2pF

lload	PM(Deg)	@Freq(Hz)	GM(dB)	@Freq(Hz)
20u	53.008	733.57k	24.92	4.726M
46.538u	62.533	915.82k	21.856	5.1011M
108.29u	75.643	1.186M	18.244	5.7366M
251.98u	90.128	1.4734M	14.759	6.7475M
586.35u	102.29	1.6228M	11.94	8.2213M
1.3644m	109.44	1.6391M	10.359	10.332M
3.1748m	113	1.624M	10.376	13.364M
7.3875m	114.93	1.6108M	11.535	17.567M
17.19m	116.16	1.6019M	13.007	23.202M
40m	116.94	1.5948M	14.386	30.291M

Cz增加改善小负载PM
Cz增加恶化大负载GM
原因在于零极点位置关系所带来的幅频特性的调整
根据仿真选择合适的Cz

PSRR

AC Response



A: (1M -31.6663) delta: (26.5423M 20.3051)
 B: (27.5423M -11.3611) slope: 765.01n

PSRR与负载有关

Worst case @~27.5MHz

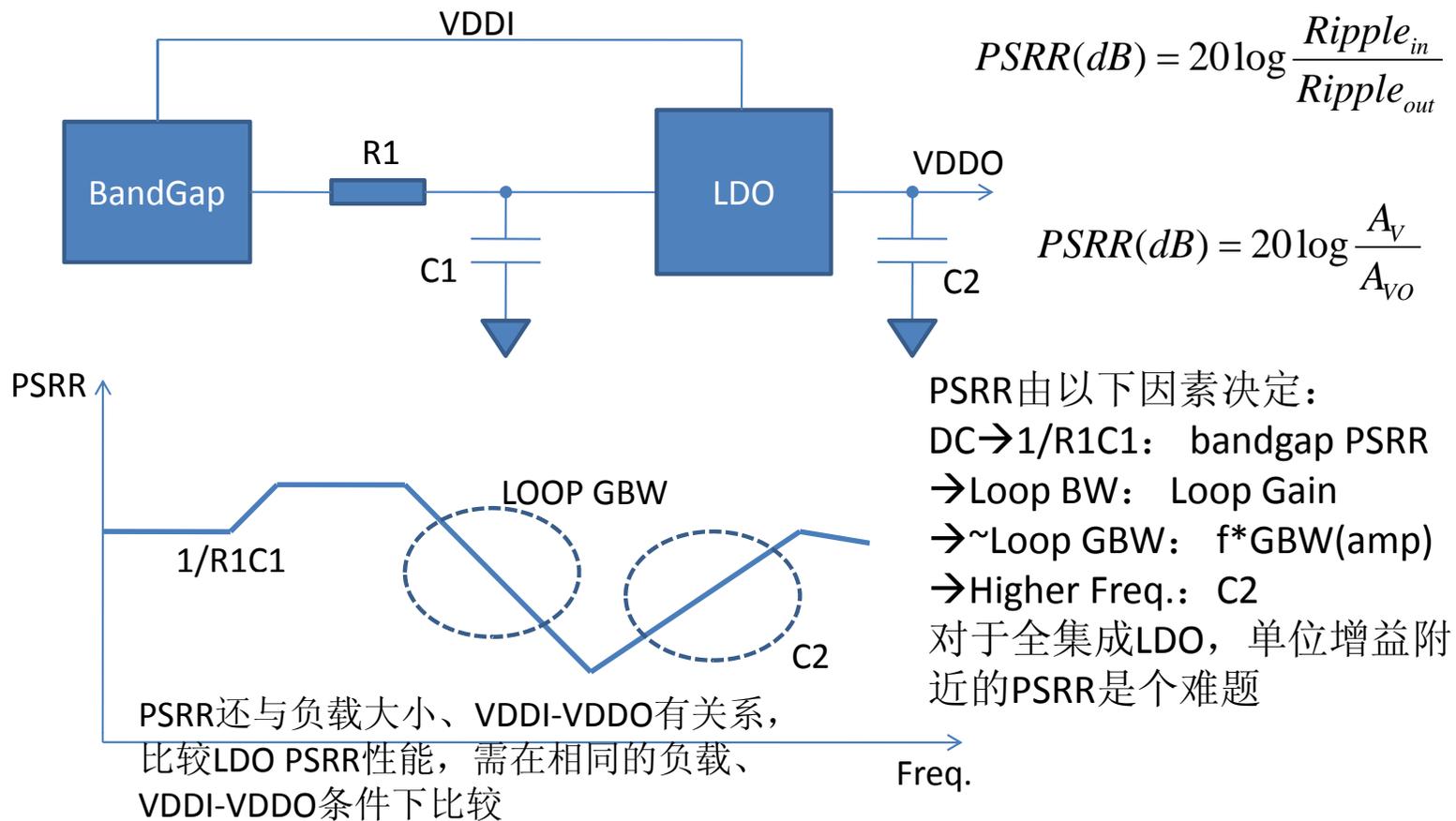
低频由环路增益决定

= 11.4dB

高频由负载电容决定

31.7dB @ 1MHz

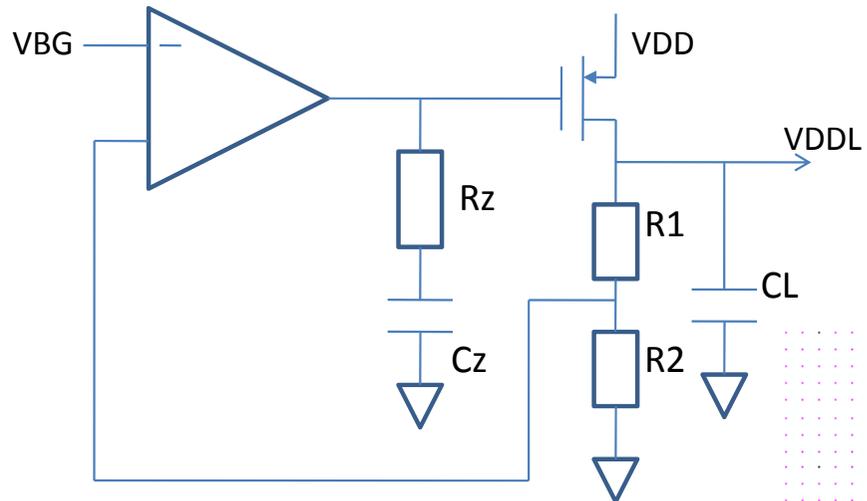
LDO PSRR



全集成LDO要点

- 带宽尽量设计得大一些
- 关注单位增益频率附近的PSRR
 - 环路带宽、负载电流、解耦电容值
- **Err_amp+MTP**, 最简单结构, 最可靠, 但带宽窄
- **加中间buf, 可增大带宽**, 但要注意buf的能力, buf太弱, 可能带来不稳定;
- 反馈网络加并联电容, 可改善小负载下的PM
- 总解耦电容比较小, 当负载快速变化时, 要特别核对过流保护电路是否会误触发!
- 所用的片上电容尽量用合适的**MOS CAP**实现

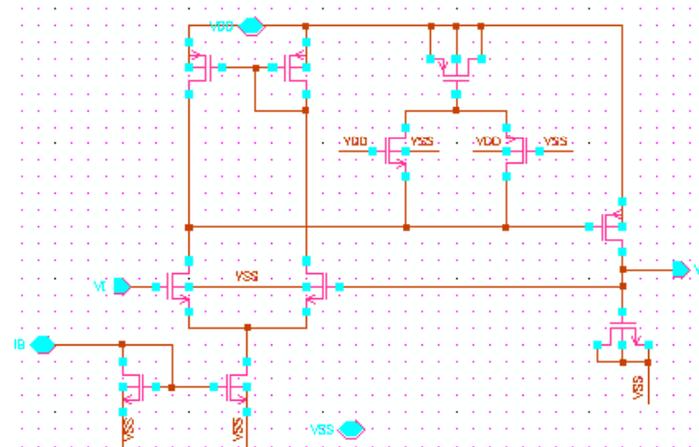
另一种全集成LDO



$$1/R_z C_z = 1/R_L C_L$$

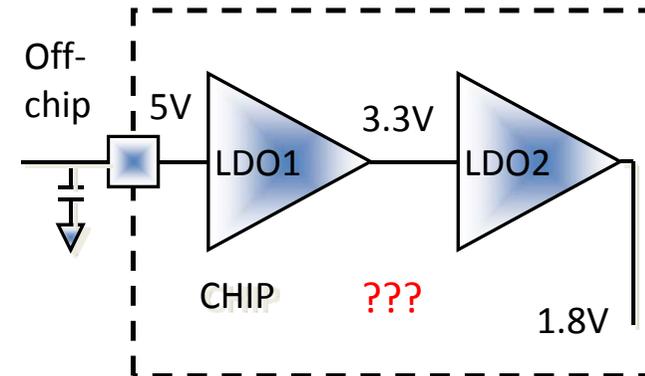
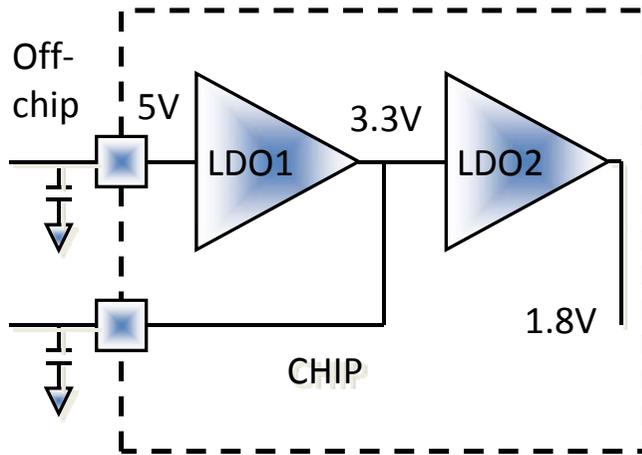
第一级输出加零点补偿

电容可用MOS管实现

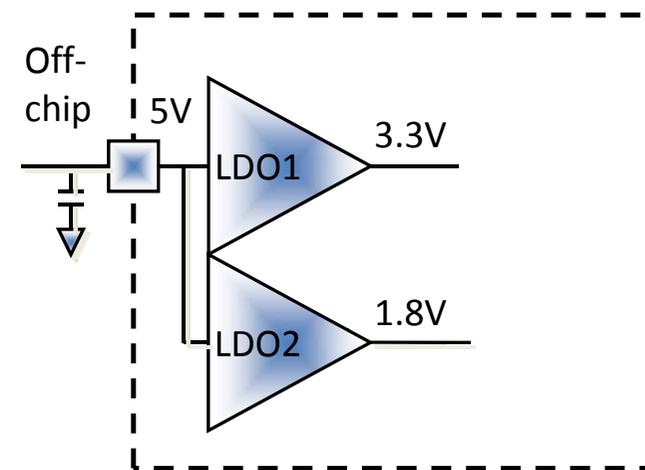


这个电路中的问题???

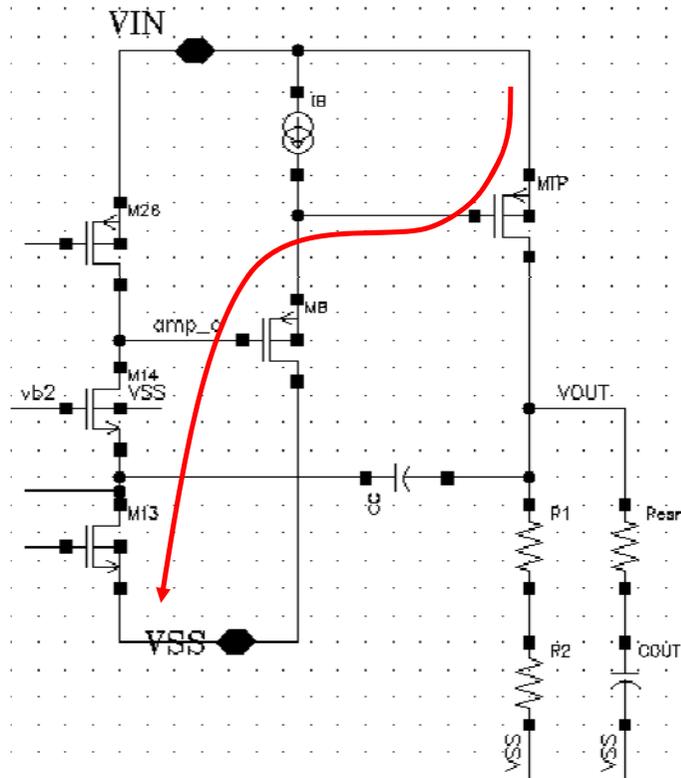
LDO in SOC



在SOC设计中，可能存在多种电源电压和多级LDO, 此时要特别注意LDO, 片外解耦电容的接法, 注意输入电源的频率成分和LDO本身的PSRR特性, 保证输出电源的稳定干净



电源电压范围?



Problem:

$$VIN > 2V_{GS} + 2V_{dsat} = 2V_T + 4V_{dsat}$$

在大电流输出情况下，VIN的下限更高

Solution:

降低中间Buffer级所带来的电平移位

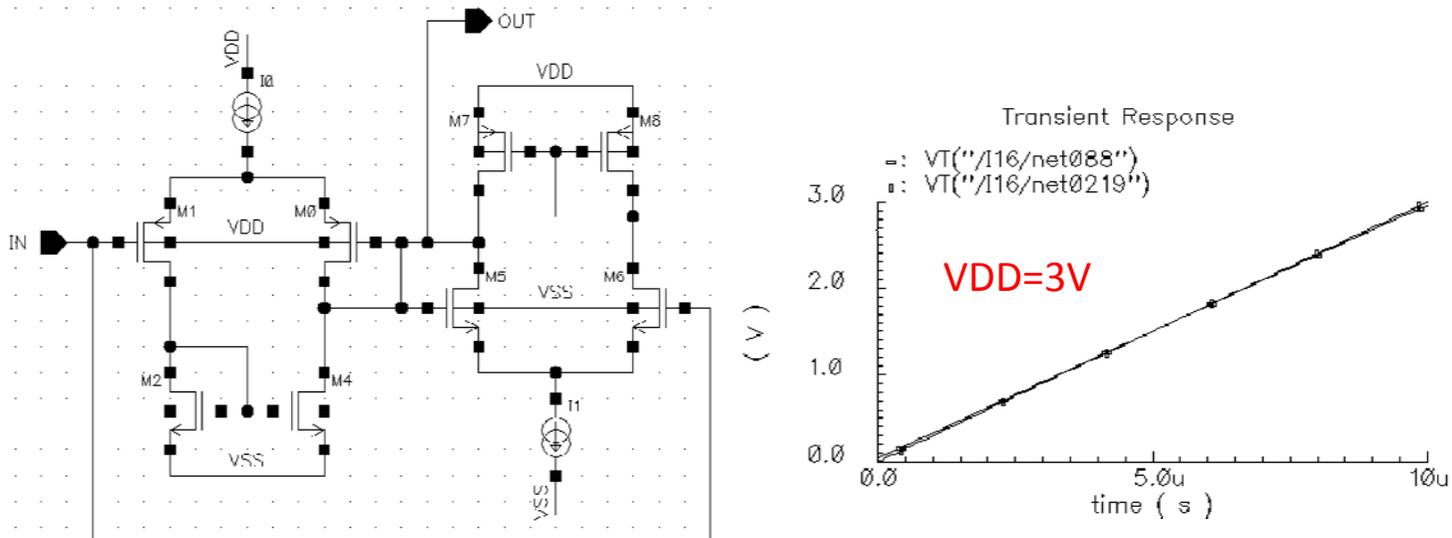
如:

取消中间buffer

采用depletion MOST(工艺兼容?)

采用基于互补差分对的rail-to-rail buffer, 如下页所示

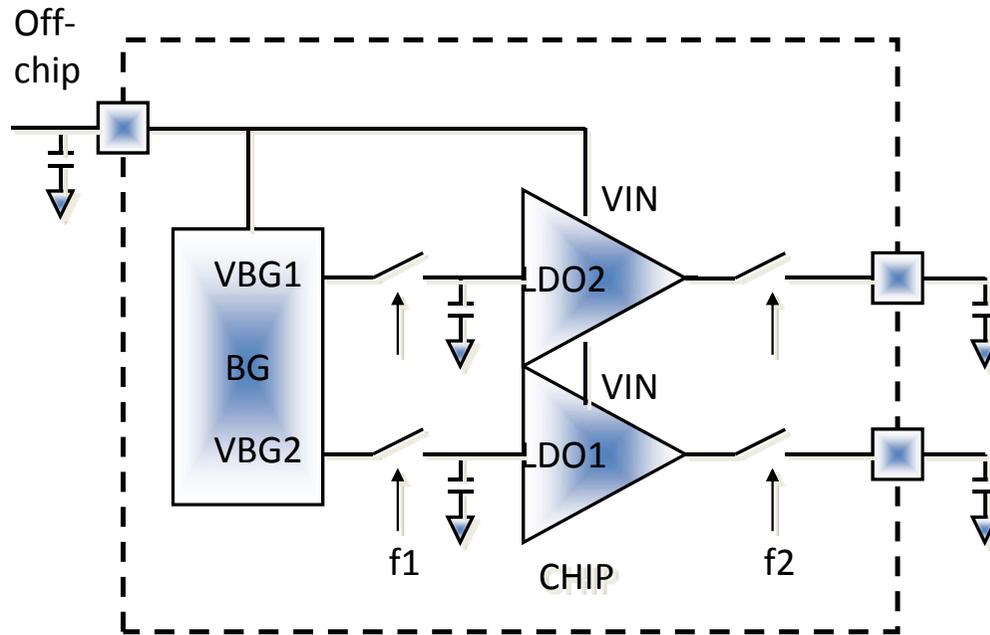
Rail-to-rail buffer



输入偏高时, 右边的放大器工作, 偏低, 则左边的工作, 在中间, 两个都工作
 G_m 没有做均衡处理, 对此应用不重要

最低电源: $V_{GS} + 2V_{dsat}$

Low power?



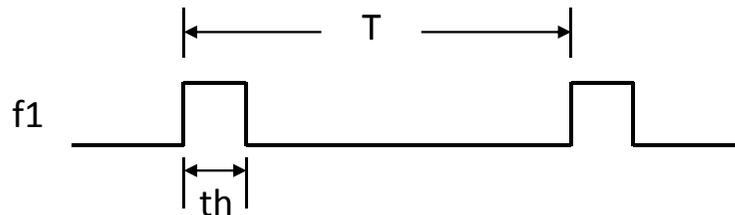
可采用间歇工作方法来降低功耗

如对于bandgap, 可通过开关电容来采样基准电压, 电容保持电压, bandgap只是间歇打开刷新电容上的电压

这样处理后的功耗:

$$P_{bg}' = P_{bg} * (th/T)$$

LDO或许也可以这样, 但要注意其建立特性



版图设计

- 注意匹配设计
 - MTP, MB, M6之间的匹配
 - 电阻R1, R2之间的匹配
 - 运放电路中的差分对和电流镜most的匹配
- 特别注意MTP是大电流工作
 - 对于有片外解藕的情况，其D,S端到PAD的连线要足够宽, 尽量短, 保证寄生电阻足够小, 并满足电流密度限制
 - 注意加宽衬底保护环